

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-317455

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.⁶

H 0 1 L 21/768

21/28

識別記号

3 0 1

F I

H 0 1 L 21/90

21/28

A

3 0 1 R

審査請求 未請求 請求項の数8 O L (全 10 頁)

(21)出願番号 特願平11-36824

(22)出願日 平成11年(1999) 2月16日

(31)優先権主張番号 特願平10-39992

(32)優先日 平10(1998) 2月23日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岩崎 富生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72)発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(74)代理人 弁理士 小川 勝男

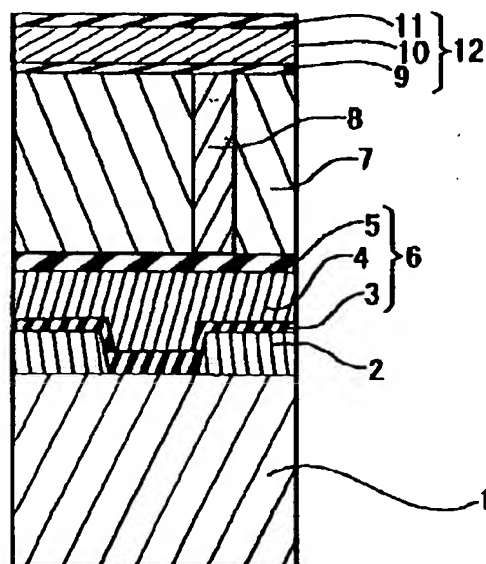
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】積層配線構造においてボイドや断線を起こしにくい、信頼性の高い半導体装置を提供する。

【解決手段】半導体基板上に導電性膜と該導電性膜に接触して隣接膜が積層された積層配線構造を有する半導体装置において、前記導電性膜の自由エネルギー最小面を構成する長方格子の短辺 a_p と前記隣接膜の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n|/a_p\} \times 100 = A(\%)$ と前記導電性膜の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜の自由エネルギー最小面を構成する長方格子の長辺 b_n の差 $\{|b_p - b_n|/b_p\} \times 100 = B(\%)$ が $\{A + B \times (a_p/b_p)\} < 13$ なる不等式を満足するように前記導電性膜と前記隣接膜の材料を選択することにより、導電性膜の拡散を抑える。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルとを有する積層構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記銅(Cu)膜配線はスパッタリングを用いて形成された銅(Cu)膜とメッキを用いて形成された銅(Cu)膜との積層構造を備えていることを特徴とする半導体装置。

【請求項2】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルとを有する積層構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記銅(Cu)膜配線は物理蒸着(PVD)を用いて形成された銅(Cu)膜と化学気相成長法(CVD)を用いて形成された銅(Cu)膜との積層構造を備えていることを特徴とする半導体装置。

【請求項3】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルとを有する積層構造を備えた半導体装置において、前記バリヤメタルはスパッタリングを用いて形成されたルテニウム(Ru)膜であり、前記銅(Cu)膜配線はスパッタリングを用いて形成された銅(Cu)膜とメッキまたは化学気相成長法(CVD)を用いて形成された銅(Cu)膜との積層構造を備えていることを特徴とする半導体装置。

【請求項4】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたプラグとを有する構造を備えた半導体装置において、前記プラグはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種類の膜であり、前記銅(Cu)膜配線と前記プラグの少なくとも一方には物理蒸着(PVD)を用いて形成された層が含まれていることを特徴とする半導体装置。

【請求項5】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルと、該バリヤメタルに接触して形成されたプラグとを有する構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記プラグはルテニウム(Ru)膜であり、前記銅(Cu)膜配線と前記プラグの少なくとも一方には物理蒸着(PVD)を用いて形成された層が含まれていることを特徴とする半導体装置。

【請求項6】 半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成された第一バリヤメタルと、該第一バリヤメタルに接触して形成されたプラグと、該プラグおよび前記第一バリヤメタルに接触して形成された第二バリヤメタルとを有する構造を備えた半導体装置において、前記第一バリヤメタルはルテニウム(Ru)膜であり、前記プラグはルテニウム(Ru)膜であり、前記第二バリヤメタルは窒化チタン(TiN)膜であり、前記銅(Cu)膜配線と前記第一バリヤメタルの少なくとも一方はスパッタリングを用いて形成された膜であ

ることを特徴とする半導体装置。

【請求項7】 半導体基板の一主面側に形成された白金(Pt)電極膜と、該白金(Pt)電極膜に接触して形成された隣接膜とを有する構造を備えた半導体装置において、前記隣接膜はロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜からなる群から選ばれる一種類の膜であり、前記白金(Pt)電極膜と前記隣接膜の少なくとも一方はスパッタリングを用いて形成された膜であることを特徴とする半導体装置。

【請求項8】 下記の工程を備えたことを特徴とする半導体装置の製造方法。

- ・半導体基板の一主面側にスパッタリングを用いてルテニウム(Ru)膜を形成する工程。
- ・前記ルテニウム(Ru)膜に接するようにスパッタリングを用いて第一の銅(Cu)膜を形成する工程。
- ・前記第一の銅(Cu)膜に接するようにメッキまたは化学気相成長法(CVD)を用いて第二の銅(Cu)膜を形成する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に配線構造が積層配線構造からなる半導体装置に関する。

【0002】

【従来の技術】近年の半導体装置の高集積化、高速化に伴い、従来のアルミニウム(Al)配線に比べて低い電気抵抗を持つ銅(Cu)配線が導入されつつある。しかし、銅(Cu)原子が拡散してシリコン(Si)基板や絶縁膜に入り込むとデバイス特性を劣化させる恐れがあり、銅(Cu)原子の拡散を防ぐための拡散防止膜が銅(Cu)膜に隣接して形成されている。この拡散防止膜の材料として、日経マイクロデバイス(1992年6月号74～77ページ)に記載されているように窒化チタン(TiN)膜、タングステン(W)膜、タンタル(Ta)膜などの高融点金属膜が検討されている。

【0003】

【発明が解決しようとする課題】高集積化のために微細化された半導体装置には高密度の電流が流れるため、電子の流れとそれによって発生した熱によって原子が拡散し、ボイドや断線が発生するといういわゆるエレクトロマイグレーションの問題がある。銅(Cu)膜は、アルミニウム(Al)膜に比べて融点が高いために拡散を起こしにくく、エレクトロマイグレーション耐性が優れていることが期待される。しかし、拡散防止膜として窒化チタン(TiN)膜、タングステン(W)膜、タンタル(Ta)膜などを銅(Cu)膜に接触させた積層配線構造では十分なエレクトロマイグレーション耐性が得られず、ボイドや断線が発生しやすいという問題がある。本発明の目的は、積層配線構造にボイドや断線の生じにくい、信頼性の高い半導体装置を提供することにある。

【0004】

【課題を解決するための手段】発明者らは、拡散防止膜として窒化チタン(TiN)膜、タングステン(W)膜、タンタル(Ta)膜などを銅(Cu)膜に接触させた積層配線構造においては、拡散防止膜材料と銅(Cu)の単位結晶格子の辺の長さが大きく異なるために界面の原子配列に乱れが生じ、拡散が活発になるためにボイドや断線が生じやすいこと明らかにした。したがって、銅(Cu)配線のボイドや断線を防止するためには、銅(Cu)と単位結晶格子の辺の長さの差が小さい材料を隣接した膜に用いることにより拡散を抑制すれば良い。発明者らは、導電性膜と該導電性膜に接触して隣接膜が積層された積層配線構造において、前記導電性膜の自由エネルギー最小面を構成する長方形格子の短辺 a_p と前記隣接膜の自由エネルギー最小面を構成する長方形格子の短辺 a_n の差 $\{|a_p - a_n|/a_p\} \times 100 = A$ (%) が13%未満であり、なおかつ前記導電性膜の自由エネルギー最小面を構成する長方形格子の長辺 b_p と前記隣接膜の自由エネルギー最小面を構成する長方形格子の長辺 b_n の差 $\{|b_p - b_n|/b_p\} \times 100 = B$ (%) に (a_p/b_p) を乗じた量が13未満である場合に導電性膜の拡散が抑えられ、ボイドや断線が抑制されることを明らかにした。また、特にA、Bが $\{A + B \times (a_p/b_p)\} < 13$ なる不等式を満足する場合により好ましいことを明らかにした。上記において、長方形格子の短辺aと長辺bの定義は図6に示すものである。

【0005】したがって、上記の目的は、半導体基板上に導電性膜と該導電性膜に接触して隣接膜が積層された積層配線構造を有する半導体装置において、前記導電性膜の自由エネルギー最小面を構成する長方形格子の短辺 a_p と前記隣接膜の自由エネルギー最小面を構成する長方形格子の短辺 a_n の差 $\{|a_p - a_n|/a_p\} \times 100 = A$ (%) と前記導電性膜の自由エネルギー最小面を構成する長方形格子の長辺 b_p と前記隣接膜の自由エネルギー最小面を構成する長方形格子の長辺 b_n の差 $\{|b_p - b_n|/b_p\} \times 100 = B$ (%) が $\{A + B \times (a_p/b_p)\} < 13$ なる不等式を満足するように前記導電性膜と前記隣接膜の材料を選択することにより達成される。

【0006】また、上記の目的は、半導体基板上に銅(Cu)膜と該銅(Cu)膜に接触して隣接膜が積層された積層配線構造を有する半導体装置において、隣接膜をロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜または白金(Pt)膜とすることにより達成される。

【0007】また、上記の目的は、半導体基板上に白金(Pt)膜と該白金(Pt)膜に接触して隣接膜が積層された積層配線構造を有する半導体装置において、隣接膜をロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜またはオスミウム(Os)膜とすることにより達成される。

【0008】具体的には下記の構成をとることが望ましい。半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタル

とを有する積層構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記銅(Cu)膜配線はスパッタリングを用いて形成された銅(Cu)膜とメッキを用いて形成された銅(Cu)膜との積層構造を備えていること。

半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルとを有する積層構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記銅(Cu)膜配線は物理蒸着(PVD)を用いて形成された銅(Cu)膜と化学気相成長法(CVD)を用いて形成された銅(Cu)膜との積層構造を備えていること。

半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルとを有する積層構造を備えた半導体装置において、前記バリヤメタルはスパッタリングを用いて形成されたルテニウム(Ru)膜であり、前記銅(Cu)膜配線はスパッタリングを用いて形成された銅(Cu)膜とメッキまたは化学気相成長法(CVD)を用いて形成された銅(Cu)膜との積層構造を備えていること。

半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたプラグとを有する構造を備えた半導体装置において、前記プラグはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種の膜であり、前記銅(Cu)膜配線と前記プラグの少なくとも一方には物理蒸着(PVD)を用いて形成された層が含まれていること。

半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成されたバリヤメタルと、該バリヤメタルに接触して形成されたプラグとを有する構造を備えた半導体装置において、前記バリヤメタルはルテニウム(Ru)膜であり、前記プラグはルテニウム(Ru)膜であり、前記銅(Cu)膜配線と前記プラグの少なくとも一方には物理蒸着(PVD)を用いて形成された層が含まれていること。半導体基板の一主面側に形成された銅(Cu)膜配線と、該銅(Cu)膜配線に接触して形成された第一バリヤメタルと、該第一バリヤメタルに接触して形成されたプラグと、該プラグおよび前記第一バリヤメタルに接触して形成された第二バリヤメタルとを有する構造を備えた半導体装置において、前記第一バリヤメタルはルテニウム(Ru)膜であり、前記プラグはルテニウム(Ru)膜であり、前記第二バリヤメタルは窒化チタン(TiN)膜であり、前記銅(Cu)膜配線と前記第一バリヤメタルの少なくとも一方はスパッタリングを用いて形成された膜であること。

半導体基板の一主面側に形成された白金(Pt)電極膜と、該白金(Pt)電極膜に接触して形成された隣接膜とを有する構造を備えた半導体装置において、前記隣接膜はロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オス

5

ミウム(Os)膜からなる群から選ばれる一種類の膜であり、前記白金(Pt)電極膜と前記隣接膜の少なくとも一方はスパッタリングを用いて形成された膜であること。半導体装置の製造方法において下記の工程を備えたこと。

【0009】・半導体基板の一主面側にスパッタリングを用いてルテニウム(Ru)膜を形成する工程。

【0010】・前記ルテニウム(Ru)膜に接するようにスパッタリングを用いて第一の銅(Cu)膜を形成する工程。

【0011】・前記第一の銅(Cu)膜に接するようにメッキまたは化学気相成長法(CVD)を用いて第二の銅(Cu)膜を形成する工程。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図を参照して説明する。まず、本発明における第一の実施形態である半導体装置における積層配線構造部分の断面構造を図1に示す。本実施形態の半導体装置における積層配線構造は、図1に示すように、シリコン基板1の上に例えば酸化シリコンからなる絶縁膜2が形成され、該絶縁膜2に形成されたコンタクトホールを通じて隣接膜3、導電性膜4、隣接膜5からなる第一積層配線構造6が接続されている。第一積層配線構造6の上には例えば酸化シリコンからなる絶縁膜7が形成され、該絶縁膜7に形成されたビアホールには例えばタングステン(W)からなるビア8が形成される。このビアを通じて隣接膜9、導電性膜10、隣接膜11からなる第二積層配線構造12が接続されている。ここで、第一積層配線構造6については、導電性膜4の自由エネルギー最小面を構成する長方格子の短辺 a_p と隣接膜3、5の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n| / a_p\} \times 100 = A(\%)$ と前記導電性膜4の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜3、5の自由エネルギー最小面を構成する長方格子の長辺 b_n の差 $\{|b_p - b_n| / b_p\} \times 100 = B(\%)$ が $\{A + B \times (a_p / b_p)\} < 13$ なる不等式を満足する材料の組合せで隣接膜3、導電性膜4、隣接膜5が形成されていることを特徴とする。具体的には、導電性膜4として銅(Cu)膜を用いた場合、隣接膜3、5としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜または白金(Pt)膜を用いればよい。また、導電性膜4として白金(Pt)膜を用いた場合、隣接膜3、5としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜またはオスミウム(Os)膜を用いればよい。

【0013】また、第二積層配線構造12についても同様に、導電性膜10の自由エネルギー最小面を構成する長方格子の短辺 a_p と隣接膜9、11の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n| / a_p\} \times 100 = A(\%)$ と前記導電性膜10の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜9、11の自由エネルギー最小面を構成する長方格子の長辺 b_n の差

6

$\{|b_p - b_n| / b_p\} \times 100 = B(\%)$ が $\{A + B \times (a_p / b_p)\} < 13$ なる不等式を満足する材料の組合せで隣接膜9、導電性膜10、隣接膜11が形成されていることを特徴とする。具体的には、導電性膜10として銅(Cu)膜を用いた場合、隣接膜9、11としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜または白金(Pt)膜を用いればよい。また、導電性膜10として白金(Pt)膜を用いた場合、隣接膜9、11としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜またはオスミウム(Os)膜を用いればよい。

【0014】以下、本実施形態の半導体装置の効果について説明する。筆者らは、自由エネルギー最小面を構成する長方格子の短辺 a 、長辺 b の導電性膜と隣接膜の間の差に着目し、この差が拡散係数に与える影響を計算機シミュレーションにより調べた。具体的には、導電性膜と該導電性膜に接触して隣接膜が積層された積層配線構造において、前記導電性膜の自由エネルギー最小面を構成する長方格子の短辺 a_p と前記隣接膜の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n| / a_p\} \times 100 = A(\%)$ を横軸にとり、前記導電性膜の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜の自由エネルギー最小面を構成する長方格子の長辺 b_n の差 $\{|b_p - b_n| / b_p\} \times 100 = B(\%)$ に (a_p / b_p) を乗じた量を縦軸にとったマップを作成し、このマップを網羅するようにAとBを設定して計算機シミュレーションにより前記導電性膜における拡散係数の値を計算した。

【0015】まず、導電性膜として銅(Cu)膜を用いた場合の温度700Kにおけるシミュレーションを行った。この場合、面心立方格子である銅(Cu)の自由エネルギー最小面は(111)面である。この場合のシミュレーション結果を図2に示す。図2の境界線を境にして銅(Cu)膜の拡散係数が急激に増大するという結果を得た。境界線の内側、すなわち、原点よりの領域は、拡散係数が小さくボイド等の発生しにくい領域であり、境界線の外側の領域は、拡散係数が大きくボイド等の発生しやすい領域である。この様子を詳細に見るために、銅(Cu)膜の拡散係数を図2の破線に沿って調べた結果を図3に示す。ただし、 D は銅(Cu)膜の拡散係数であり、 D_0 はバルクの銅(Cu)における拡散係数である。境界線を境に拡散係数が急激に増大し、その先に従来隣接膜として用いられていた窒化チタン(TiN)などが位置することがわかる。図2を見るとタングステン(W)膜、タンタル(Ta)膜も境界線の外側にあることがわかる。一方、図2の境界線の内側、すなわち原点側にはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜が位置し、これらが銅(Cu)膜の拡散抑制に有効であることがわかる。これらの材料は、 A および $B \times (a_p / b_p)$ がともに13%未満の領域にある。図2の境界線を直線近似すると $\{A + B \times (a_p / b_p)\} = 13$ となる。したがって、 $\{A + B \times (a_p / b_p)\} < 13$ なる不等式を満足する材料の組合せで導電性膜

と隣接膜が形成されている場合に拡散が抑えられ、ボイドや断線が抑制される。ここでは、銅(Cu)膜の拡散係数に着目し、これが小さいほど銅(Cu)膜でボイド等が発生しにくいという判定をしたが、隣接膜でもボイド等が発生しにくいほうが良く、このためには隣接膜は融点の高い材料からなることがより好ましい。例えば、白金(融点が1769℃)に比べて、融点の高いロジウム(融点が1960℃)、ルテニウム(融点が2310℃)、イリジウム(融点が2443℃)、オスミウム(融点が3045℃)がより好ましい。

【0016】次に、導電性膜として白金(Pt)を用いたシミュレーションを行った。白金(Pt)も面心立方格子であり、自由エネルギー最小面は(111)面である。この場合のシミュレーション結果を図4、5に示す。図4の結果は図2と同様であり、境界線の内側、すなわち、原点よりの領域は、拡散係数が小さくボイド等の発生しにくい領域であり、境界線の外側の領域は、拡散係数が大きくボイド等の発生しやすい領域である。この様子を詳細に見るために、白金(Pt)膜の拡散係数を図4の破線に沿って調べた結果を図5に示す。図5において、 D_0 は白金(Pt)膜の拡散係数であり、 D_b はバルクの白金(Pt)における拡散係数である。境界線を境に拡散係数が急激に増大することがわかる。図4の境界線の内側にはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜が位置し、白金(Pt)膜の拡散抑制にはこれらの材料が有効であることを示している。これらの材料は、 A および $B \times (a_p/b_p)$ がともに13%未満の領域にある。図4の境界線の位置は、銅(Cu)膜の場合と良く一致することがわかる。これらの境界線は直線近似すると $\{A+B \times (a_p/b_p)\} = 13$ となる。したがって、 $\{A+B \times (a_p/b_p)\} < 13$ なる不等式を満足する材料の組合せで導電性膜と隣接膜が形成されている場合に拡散が抑えられ、ボイドや断線が抑制される。

【0017】次に、本発明における第二の実施形態である半導体装置における積層配線構造部分の断面構造を図7に示す。本実施形態の半導体装置における積層配線構造は、図7に示すように、シリコン基板1の上に例えば酸化シリコンからなる絶縁膜2が形成され、該絶縁膜2に形成されたコンタクトホールを通じて拡散防止膜13、隣接膜3、導電性膜4、隣接膜5、拡散防止膜14からなる第一積層配線構造6が接続されている。第一積層配線構造6の上には例えば酸化シリコンからなる絶縁膜7が形成され、該絶縁膜7に形成されたビアホールには例えばタングステン(W)からなるビア8が形成される。このビアを通じて拡散防止膜15、隣接膜9、導電性膜10、隣接膜11、拡散防止膜16からなる第二積層配線構造12が接続されている。ここで、拡散防止膜13、14、15、16は、例えば窒化チタン(TiN)やタングステン(W)、タンタル(Ta)からなる。第一積層配線構造6については、導電性膜4の自由エネルギー最小

面を構成する長方格子の短辺 a_p と隣接膜3、5の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n|/a_p\} \times 100 = A(\%)$ と前記導電性膜4の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜3、5の自由エネルギー最小面を構成する長方格子の長辺 b_n の差 $\{|b_p - b_n|/b_p\} \times 100 = B(\%)$ が $\{A+B \times (a_p/b_p)\} < 13$ なる不等式を満足する材料の組合せで隣接膜3、導電性膜4、隣接膜5が形成されていることを特徴とする。具体的には、導電性膜4として銅(Cu)膜を用いた場合、隣接膜3、5としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜または白金(Pt)膜を用いればよい。また、導電性膜4として白金(Pt)膜を用いた場合、隣接膜3、5としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜またはオスミウム(Os)膜を用いればよい。

【0018】また、第二積層配線構造12についても同様に、導電性膜10の自由エネルギー最小面を構成する長方格子の短辺 a_p と隣接膜9、11の自由エネルギー最小面を構成する長方格子の短辺 a_n の差 $\{|a_p - a_n|/a_p\} \times 100 = A(\%)$ と前記導電性膜10の自由エネルギー最小面を構成する長方格子の長辺 b_p と前記隣接膜9、11の自由エネルギー最小面を構成する長方格子の長辺 b_n の差 $\{|b_p - b_n|/b_p\} \times 100 = B(\%)$ が $\{A+B \times (a_p/b_p)\} < 13$ なる不等式を満足する材料の組合せで隣接膜9、導電性膜10、隣接膜11が形成されていることを特徴とする。具体的には、導電性膜10として銅(Cu)膜を用いた場合、隣接膜9、11としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜または白金(Pt)膜を用いればよい。また、導電性膜10として白金(Pt)膜を用いた場合、隣接膜9、11としてはロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜またはオスミウム(Os)膜を用いればよい。

【0019】次に、本発明における第三の実施形態である半導体装置における主要部分の断面構造を図8に示す。本実施例の半導体装置は、図8に示すように、シリコン基板101の上に拡散層102、103、104、105が形成され、この上にゲート絶縁膜106、107およびゲート電極108、109が形成されることによってMOSトランジスタが構成されている。ゲート絶縁膜106、107は、例えばシリコン酸化膜あるいは窒化珪素膜であり、ゲート電極108、109は、例えば多結晶シリコン膜や金属薄膜、あるいは金属シリサイド膜あるいはこれらの積層構造である。MOSトランジスタは、例えばシリコン酸化膜からなる素子分離膜110によって分離されている。前記ゲート電極108、109の上部および側壁には例えばシリコン酸化膜からなる絶縁膜111、112が形成されている。MOSトランジスタの上部全面には、例えばBPSG(Boron-Doped Phospho Silicate Glass)膜やSOG(Spin On Glass)膜、あるいは化学気相成長法(英語ではChemical Vapor Deposition、

略してCVD)や物理蒸着(英語ではPhysical Vapor Deposition、略してPVD)で形成したシリコン酸化膜や窒化膜等からなる絶縁膜113が形成されている。絶縁膜113に形成されたコンタクトホールには拡散防止用の隣接膜114a、114bに被覆された導電性膜115からなるプラグが形成され、拡散層102、103、104、105に接続されている。このプラグを通じて、バリヤメタル(拡散防止膜)としての隣接膜116a、116bに被覆された導電性膜117からなる積層配線が接続されている。この積層配線は、例えば、絶縁膜118に配線用の溝を形成し、その上に隣接膜116aを形成した後、導電性膜117を形成し、さらにその上に隣接膜116bを形成する。バリヤメタルとしての隣接膜116a、116bと導電性膜117を形成する際には、通常行われているように、バリヤメタルとしての隣接膜116a、116bと導電性膜117のうちの少なくとも一つは少なくとも物理蒸着(英語ではPhysical Vapor Deposition、略してPVD)を用いて形成される。物理蒸着を用いて導電性膜117膜を形成する場合には、通常行われているように、はじめにスパッタリング等の物理蒸着で成膜し、その後、別の成膜法(例えば、狭い溝に膜を形成する上で優れているメッキや化学気相成長法)に切換えてもよい。成膜法を切換えた場合のエレクトロマイグレーション耐性は特に重要である。別の成膜法に切換えずに物理蒸着を使用し続けてもよい。この上には、絶縁膜121に形成されたビアホールにバリヤメタルとしての隣接膜119a、119bに被覆された導電性膜120からなるプラグが形成され、前記積層配線に接続されている。このプラグを通じて、バリヤメタルとしての隣接膜122a、122bに被覆された導電性膜123からなる第二の積層配線が接続されている。この第二の積層配線の形成については、例えば、絶縁膜124に配線用の溝を形成し、その上に隣接膜122aを例えば化学気相成長法により形成し、その上に導電性膜123を形成し、その上に隣接膜122bを例えば化学気相成長法により形成する。また、第二の積層配線を形成する工程は、絶縁膜124を形成する前であってもよい。導電性膜123の成膜は、例えば、物理蒸着を用いた後、別の成膜法(例えば、メッキや化学気相成長法)に切換えることにより行う。また、隣接膜119a、119bに被覆された導電性膜120からなるプラグと第二の積層配線を形成する際には、絶縁膜121、124に溝を形成し、隣接膜119a、119bと隣接膜122aを一括して成膜し、その後導電性膜120と導電性膜123を形成するといった方法を用いてもよい。絶縁膜125は、例えばシリコン酸化膜からなる。

【0020】この第三の実施形態において、隣接膜116a、116bに被覆された導電性膜117と隣接膜122a、122bに被覆された導電性膜123のうちの少なくとも一方は、拡散を抑えてマイグレーションによるボ

イド発生等を防止するために、隣接膜の自由エネルギー最小面を構成する長方格子の短辺 a_n と前記導電性膜の自由エネルギー最小面を構成する長方格子の短辺 a_p の差 $\{|a_p - a_n|/a_p\} \times 100 = A(\%)$ と、前記隣接膜の自由エネルギー最小面を構成する長方格子の長辺 b_n と前記導電性膜の自由エネルギー最小面を構成する長方格子の長辺 b_p の差 $\{|b_p - b_n|/b_p\} \times 100 = B(\%)$ が $A + B \times (a_p/b_p) < 13\%$ なる不等式を満足する材料の組合せで形成する。具体的には、例えば、導電性膜117として銅(Cu)膜を用いた場合、隣接膜116a、116bとしては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種類の膜を用いる。プラグの導電性膜115、120は導電性膜117と隣接するので、導電性膜115、120を導電性膜117の隣接膜とみなすことができるため、導電性膜117として銅(Cu)膜を用いた場合、導電性膜115、120としては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種類の膜を用いることによって、導電性膜117の拡散を抑え、マイグレーションによるボイド発生等を防止する。このようにすると、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜は銅(Cu)膜に比べて融点が高いので、プラグの導電性膜115、120として銅(Cu)膜を用いた場合に比べて、プラグの耐熱性が向上するという効果も付加される。この場合、導電性膜115、120の隣接膜114a、114b、119a、119bとしては、窒化チタン(TiN)膜を用いると絶縁膜113、121との密着性が良いので好ましい。密着性を問題にしない場合には隣接膜114a、114b、119a、119bは存在しなくてもよい。プラグの耐熱性よりもプラグの電気抵抗の低さを重視するような場合には、プラグの導電性膜115、120として銅(Cu)膜を用い、導電性膜115、120の隣接膜114a、114b、119a、119bとしては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種類の膜を用いる。また、図8には示さないが、隣接膜116a、116b、122a、122b、114a、114b、119a、119bのそれぞれと、絶縁膜の間には、図7の場合と同様に一層以上の別の膜が形成されていてもよい。

【0021】なお、図8には示さないが、導電性膜117、123の側壁から原子が絶縁膜中に拡散するのを防止するため導電性膜117と導電性膜123の側壁にもバリアメタルがあった方が好ましい。

【0022】また、本発明は、配線、バリヤメタル、プラグに限定されるものではなく、電極に適用してもよい。例えば、ゲート電極108、109が導電性膜と隣接膜の積層構造である場合には、拡散を抑えてマイグレーションによるボイド発生等を防止するために、隣接膜

11

の自由エネルギー最小面を構成する長方形格子の短辺 a_0 と前記導電性膜の自由エネルギー最小面を構成する長方形格子の短辺 a_p の差 $\{|a_p - a_0|/a_p\} \times 100 = A(\%)$ と、前記隣接膜の自由エネルギー最小面を構成する長方形格子の長辺 b_0 と前記導電性膜の自由エネルギー最小面を構成する長方形格子の長辺 b_p の差 $\{|b_p - b_0|/b_p\} \times 100 = B(\%)$ が $\{A + B \times (a_p/b_p)\} < 13\%$ なる不等式を満足する材料の組合せで形成する。具体的には、例えば、導電性膜として銅(Cu)膜を用いた場合、隣接膜としては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種の膜を用いる。また、導電性膜として白金(Pt)膜を用いた場合、隣接膜としては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜からなる群から選ばれる一種の膜を用いる。また、ゲート電極108、109とゲート絶縁膜106、107の間には窒化チタン等の別の膜があってもよい。

【0023】以上において、導電性膜として銅(Cu)膜を用いた場合、拡散を抑制するために、隣接膜としては、ロジウム(Rh)膜、ルテニウム(Ru)膜、イリジウム(Ir)膜、オスミウム(Os)膜、白金(Pt)膜からなる群から選ばれる一種の膜を用いるとしてきたが、融点が高く、なおかつ加工しやすい点を考慮すると、ルテニウム(Ru)膜が隣接膜として最も好ましいといえる。

【0024】第三の実施形態のうちで、機能的に特に好ましい構造を図9を用いて説明する。図8との構造的な違いは、隣接膜116aと絶縁膜113の間に隣接膜126aが形成されており、隣接膜116bと絶縁膜121の間に隣接膜126bが形成されており、隣接膜122aと絶縁膜121の間に隣接膜127aが形成されており、隣接膜122bと絶縁膜121の間に隣接膜127bが形成されている点である。配線となる導電性膜117、123は、デバイスの高速性を良くするために、電気抵抗の低い銅(Cu)膜からなる。そしてこの銅(Cu)膜配線のマイグレーション耐性を優れたものとするために、銅(Cu)膜117、123のバリアメタルとしての隣接膜116a、116b、122a、122bはルテニウム(Ru)膜からなる。銅(Cu)膜117、123と隣接するプラグ115、120は、マイグレーション耐性を優れたものとするために、ルテニウム(Ru)膜からなる。例えばマ

12

で、これらを一括して成膜すると製造が簡単になるのでより好ましい。同様に、プラグ120とバリアメタル127aは、両方ともルテニウム(Ru)膜からなるので、これらを一括して成膜すると製造が簡単になるのでより好ましい。これらのルテニウム(Ru)膜と絶縁膜の密着性を向上させるために、バリアメタル126a、126b、127a、127b、114a、114b、119a、119bは窒化チタン(TiN)膜からなる。これにより、バリアメタル114a、114bとバリアメタル126aは、両方とも窒化チタン(TiN)膜からなるので、これらは一括して成膜すると製造が簡単になるのでより好ましい。同様に、バリアメタル119a、119bとバリアメタル127aは、両方とも窒化チタン(TiN)膜からなるので、これらを一括して成膜すると製造が簡単になるのでより好ましい。以上において、銅膜、バリアメタルのうちの少なくとも一つは、少なくともスパッタリングを用いて形成される。また、バリアメタル114aと拡散層104の間には金属シリサイド膜等のコンタクト抵抗の低い膜があるとより好ましい。

【0025】なお、図9には示さないが、銅(Cu)膜117、123の側壁から銅(Cu)原子が絶縁膜中に拡散することを防止するために銅(Cu)膜117と銅(Cu)膜123の側壁にもバリアメタル形成した方が好ましい。

【0026】図2、3、4、5に示した計算機シミュレーションの結果は、分子動力学シミュレーションにより得た結果である。分子動力学シミュレーションとは、例えばジャーナルオブアプライドフィジックス(Journal of Applied Physics)の第54巻(1983年発行)の4864ページから4878ページまでに記述されているように、原子間ポテンシャルを通して各原子に働く力を計算し、この力を基にニュートンの運動方程式を解くことによって各時刻における各原子の位置を算出する方法である。また、分子動力学シミュレーションにより拡散係数を計算する方法については、例えばフィジカルレビューB(Physical Review B)の第29巻(1984年発行)の5363ページから5371ページまでに記述されている。さらに、銅(Cu)の拡散が抑制されるとエレクトロマイグレーション耐性が向上することはよく知られていることであり、例えばマテリアルズリサーチソサイエティ(Materials Research Society、略してMRS)のシンポジウムプロシーディングス(Symposium Proceedings)の428巻として発行されているマテリアルズ リライアビリティ イン マイクロエレクトロニクス(Materials Reliability in Microelectronics)の43ページから60ページまでに記載されている。前述したように、図2、3、4、5は温度が700 Kにおけるシミュレーションの結果であるが、ここで示された効果は、温度等のシミュレーション条件を変えても示すことができる。

【0027】また、図6に、バルクの結晶において自由エネルギー最小の結晶面を構成する長方形格子を示し、長

方格子の短辺aと長辺bの定義を示したが、以下に、これについてもう少し詳細に説明する。短辺aは、バルクの結晶における最近接原子間距離のことであり、例えば、固体物理学入門上巻第5版(チャールズ・キッテル著、1978年に丸善株式会社より発行)の28ページに記載されている。長辺bは、面心立方構造、または最密六方構造を持つ結晶については短辺aの約1.73倍であり、体心立方構造を持つ結晶については短辺aの約1.41倍である。例えば、面心立方構造を持つ銅(Cu)の自由エネルギー最小面は(111)面であり、その短辺 a_{Cu} は約0.26 nmであり、長辺 b_{Cu} は約0.44 nmである。最密六方構造を持つルテニウム(Ru)の自由エネルギー最小面は(001)面であり、その短辺 a_{Ru} は約0.27 nmであり、長辺 b_{Ru} は約0.46 nmである。

【0028】本発明の結果に基づいて、発明者らは先行技術調査を行った。その結果、銅(Cu)配線とそのバリアメタルに関するものとして、特開平10-229084号公報を見つけた。しかし、これは、以下に説明するように、本発明と明確に異なるものである。特開平10-229084号公報は、アスペクト比の高い接線孔にバリアメタルおよび銅(Cu)膜配線を形成しやすくすることを課題としているため、バリアメタルおよび銅(Cu)膜配線の両方を、スパッタリング等の物理蒸着(PVD)を用いずにメッキまたは化学気相成長法(CVD)を用いて形成する配線構造を対象としている。これに対して本発明では、通常の配線構造と同じように、バリアメタルと銅(Cu)膜配線のうちの少なくとも一方が物理蒸着を使用して形成される配線構造を対象としている。そして物理蒸着を使用した場合に特に重要となるエレクトロマイグレーション耐性の向上を課題としている。通常のバリアメタルと銅(Cu)膜配線の形成においては、バリアメタルと銅(Cu)膜配線のうちの少なくとも一方がスパッタリング等の物理蒸着を使用して形成されていることが、例えば月刊セミコンダクターワールド(株式会社プレスジャーナル発行、1998年2月号91~96ページ)に記述されている。この中に記載されているように、銅(Cu)膜配線をメッキまたは化学気相成長法(CVD)で形成する際には、通常、はじめにスパッタリング等の物理蒸着(PVD)で銅(Cu)膜のシード層を形成し、その後メッキまたは化学気相成長法(CVD)に切り替えるという方法がとられる。したがって、特開平10-229084号公報のように、バリアメタルおよび銅(Cu)膜配線の両方を、スパッタリング等の物理蒸着(PVD)を用いずにメッキまたは化学気相成長法(CVD)を用いて形成することは、アスペクト比の高い接線孔に形成するという目的を達成する上では好ましいが、現状ではほとんど行われていない。現状ではほとんど行われていない理由としては、例えば月刊セミコンダクターワールド(株式会社プレスジャーナル発行、1998年2月号86~96ページ)に記載されているように、物理蒸着(PVD)で形成された銅(Cu)膜のシード層は化学気相成長法(CVD)で形成

された銅(Cu)膜のシード層と比較して密着性に優れていることや、メッキで銅(Cu)膜を直接バリアメタルの上に形成することがほぼ不可能であることや、化学気相成長法(CVD)で形成されたバリアメタルは高抵抗低バリア性のいずれかの欠点を持っている、などが挙げられる。物理蒸着(PVD)の中でも最もよく用いられているスパッタリングは、例えば薄膜ハンドブック(オーム社発行、日本学術振興会編集)の171ページから195ページに記載されているように、アルゴン(Ar)、キセノン(Xe)、クリプトン(Kr)、ネオン(Ne)等の希ガス元素(貴ガス元素とも呼ばれる)を用いるために、膜の中に希ガス元素が0.0001%以上含まれてしまうが、メッキや化学気相成長法(CVD)で成膜された膜に比べて密着性が良いので好ましいといえる。

【0029】なお、ここでバリアメタルとは、本来は、銅(Cu)等の配線材料の拡散を防止するためのバリア金属という意味を持ち、例えば、導電性膜117として銅(Cu)膜を用いた場合の隣接膜116a、116bのことをバリアメタルと言う。バリアメタルには密着性を向上させる役割や、結晶配向性を制御する役割や、結晶粒の大きさを制御する役割などを持つ場合があり、主たる役割が拡散防止でない場合もある。本明細書では、拡散防止以外の目的で使用している場合でも、隣接膜116a、116b、114a、114b、のように導電性膜に隣接して用いられる導電性の膜をバリアメタルと記載している。

【0030】また、銅(Cu)膜と呼んでいるものは、主構成元素が銅(Cu)である膜のことであり、これに他の元素が含まれていても、上記と同様の効果を示すことができる。ルテニウム(Ru)膜等についても同様である。

【0031】

【発明の効果】本発明によれば半導体基板上に導電性膜と該導電性膜に接触して隣接膜が積層された積層配線構造を有する半導体装置において、導電性膜の拡散を抑えることができる。したがって、積層配線構造においてボイドや断線を起こしにくい、信頼性の高い半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明における第一の実施形態である半導体装置の積層配線構造の断面図である。

【図2】銅(Cu)膜を導電性膜とした場合の拡散係数に対する隣接膜材料の効果を示す図である。

【図3】銅(Cu)膜を導電性膜とした場合の拡散係数に対する隣接膜材料の効果を図2の破線に沿って示した特性図である。

【図4】白金(Pt)膜を導電性膜とした場合の拡散係数に対する隣接膜材料の効果を示す特性図である。

【図5】白金(Pt)膜を導電性膜とした場合の拡散係数に対する隣接膜材料の効果を図4の破線に沿って示した特性図である。

【図6】長方格子における原子配列と短辺および長辺を示した図である。

【図7】本発明における第二の実施形態である半導体装置の積層配線構造の断面図である。

【図8】本発明における第三の実施形態である半導体装置の主要部分の断面図である。

【図9】本発明における第三の実施形態である半導体装置の中でも、機能的に特に好ましい構造を持つ半導体装置の主要部分の断面図である。

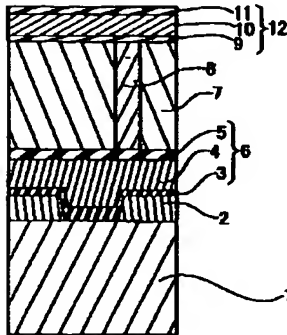
【符号の説明】

1…シリコン基板、2…絶縁膜、3…隣接膜、4…導電

性膜、5…隣接膜、6…第一積層配線構造、7…絶縁膜、8…ビア、9…隣接膜、10…導電性膜、11…隣接膜、12…第二積層配線構造、13、14、15、16…拡散防止膜、101…シリコン基板、102、103、104、105…拡散層、106、107、…ゲート絶縁膜、108、109、110…素子分離膜、111、112、113、118、121、124、125…絶縁膜、114a、114b、116a、116b、119a、119b、122a、122b、126a、126b、127a、127b…隣接膜、115、117、120、123…導電性膜。

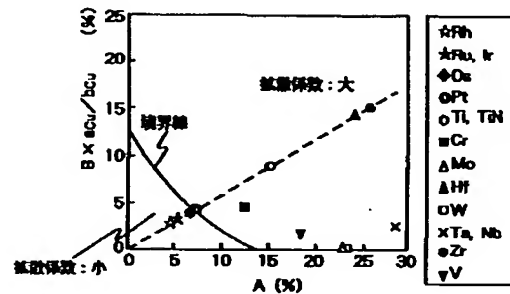
【図1】

図 1



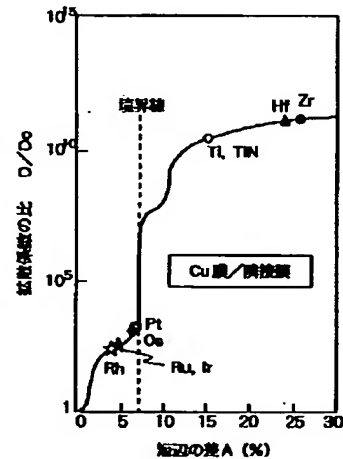
【図2】

図 2



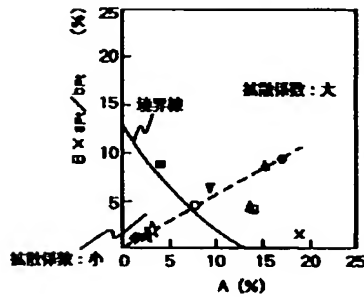
【図3】

図 3



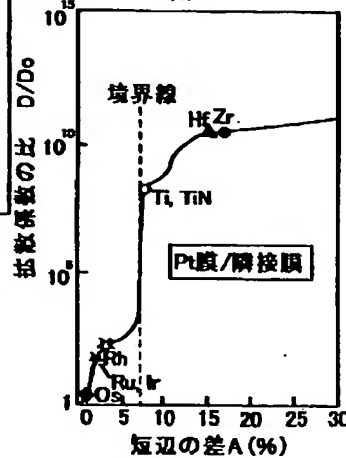
【図4】

図 4



【図5】

図 5



【図6】

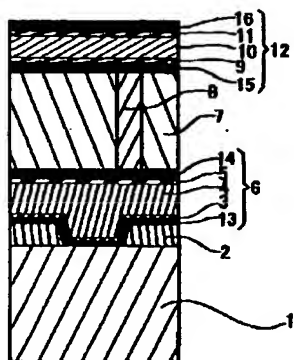
図 6



長方格子の原子配列

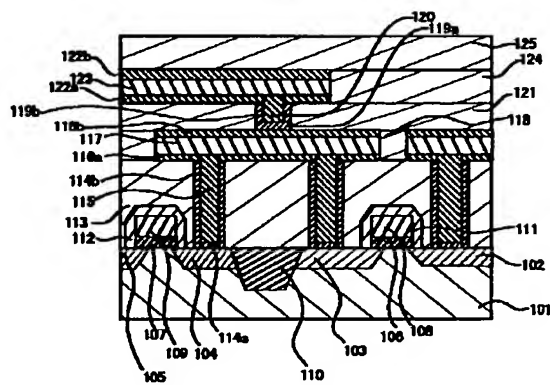
【図7】

図7



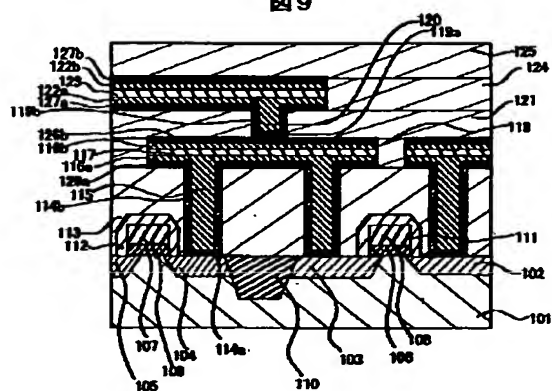
【図8】

図8



【図9】

図9



PAT-NO: JP411317455A

DOCUMENT-IDENTIFIER: JP 11317455 A

TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

PUBN-DATE: November 16, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
IWASAKI, TOMIO	N/A
MIURA, HIDEO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP11036824

APPL-DATE: February 16, 1999

INT-CL (IPC): H01L021/768, H01L021/28

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a highly reliable semiconductor device, in which voids and disconnection are hard to occur by forming a barrier metal which is formed in contact with copper-film wiring of a ruthenium film and copper wiring in a laminated structure of a sputtered copper film and a plate copper film.

SOLUTION: In a laminated structure 6 composed of a conductive film 4 and an adjacent film 5 laminated upon the film 4 cove in contact with the film 4, the materials of the films 4 and 5 are selected so that the

difference, [

COPYRIGHT: (C) 1999, JPO

DERWENT-ACC-NO: 2000-129204

DERWENT-WEEK: 200235

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Laminate wiring structure for
semiconductor device - includes laminate copper wiring film
formed by sputtering and plating techniques, above which
ruthenium film is formed

INVENTOR: IWASAKI, T; MIURA, H

PATENT-ASSIGNEE: HITACHI LTD[HITA] , IWASAKI T[IWASI],
MIURA H[MIURI]

PRIORITY-DATA: 1998JP-0039992 (February 23, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 11317455 A		November 16, 1999	N/A
010	H01L	021/768	
US 20020053741 A1		May 9, 2002	N/A
000	H01L	023/48	
KR 99072753 A		September 27, 1999	N/A
000	H01L	021/28	

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP 11317455A		N/A	
1999JP-0036824		February 16, 1999	
US20020053741A1		Cont of	
1999US-0255856		February 23, 1999	
US20020053741A1		N/A	
2001US-0985904		November 6, 2001	
KR 99072753A		N/A	
1999KR-0005482		February 19, 1999	

INT-CL (IPC): H01L021/28, H01L021/768 , H01L023/48

ABSTRACTED-PUB-NO: JP 11317455A

BASIC-ABSTRACT:

NOVELTY - The laminate copper wiring film formed on main surface of a silicon substrate (1) comprises copper films formed by sputtering, respectively. A ruthenium film is formed on the copper wiring film.

USE - For semiconductor device.

ADVANTAGE - Probability of generation of disconnection in laminated wiring surface is very less and thereby a reliable semiconductor device is formed.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of laminated wiring structure of a semiconductor devices. (1) Silicon substrate.

ABSTRACTED-PUB-NO: US20020053741A

EQUIVALENT-ABSTRACTS:

NOVELTY - The laminate copper wiring film formed on main surface of a silicon substrate (1) comprises copper films formed by sputtering, respectively. A ruthenium film is formed on the copper wiring film.

USE - For semiconductor device.

ADVANTAGE - Probability of generation of disconnection in laminated wiring surface is very less and thereby a reliable semiconductor device is formed.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of laminated wiring structure of a semiconductor devices. (1) Silicon substrate.

CHOSEN-DRAWING: Dwg.1/9

TITLE-TERMS: LAMINATE WIRE STRUCTURE SEMICONDUCTOR DEVICE
LAMINATE COPPER WIRE

FILM FORMING SPUTTER PLATE TECHNIQUE ABOVE
RUTHENIUM FILM FORMING

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C01A; L04-C10A; L04-C10D; L04-C10F;

EPI-CODES: U11-C05D3;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2000-039911

Non-CPI Secondary Accession Numbers: N2000-097403